

具有快速瞬态响应和低静态电流的 CMOS 低漏失稳压器设计

李演明^{1,2}, 来新泉¹, 贾新章², 曹 玉¹, 叶 强¹

(1. 西安电子科技大学电路 CAD 研究所, 陕西西安 710071; 2. 西安电子科技大学微电子研究所, 陕西西安 710071)

摘 要: 设计了一种具有快速瞬态响应能力的低漏失稳压器, 利用提出的一种瞬态响应加速 (Transient Response Enhancement, TRE) 电路, 有效地提高了稳压器的瞬态响应速度, 而且瞬态响应速度的提高并不增加静态电流. 设计的 LDO 电路采用 0.5 μm 标准 CMOS 工艺投片验证, 芯片面积为 0.49mm². 该 LDO 空载下的静态电流仅 23 μA , 最大带载 200mA. 在 1 μF 输出电容、200mA/100ns 负载阶跃变化时的最大瞬态输出电压变化量小于 3.5%.

关键词: 线性稳压器; 低漏失稳压器; 快速瞬态响应; 电源管理 IC

中图分类号: TN432 **文献标识码:** A **文章编号:** 0372-2112 (2009) 05-1130-06

A Fast-Transient Response and Low-Quiescent Current CMOS Low-Dropout Regulator

LI Yan-ming^{1,2}, LAI Xin-quan¹, JIA Xin-zhang², CAO Yu¹, YE Qiang¹

(1. Institute of Electronic CAD, Xidian University, Xi'an, Shaanxi 710071, China;

2. Microelectronics Institute, Xidian University, Xi'an, Shaanxi 710071, China)

Abstract: A low-dropout regulator (LDO) with fast-transient response speed is presented by utilizing the proposed transient response enhancement (TRE) circuit, which doesn't bring the quiescent current increase. The proposed LDO has been fabricated in a 0.5 μm standard CMOS process, and the die area is 0.49mm². The proposed LDO dissipates 23 μA quiescent current at no-load condition and is able to deliver up to 200mA load current. With a 1 μF output capacitor, the maximum transient output-voltage variation is within 3.5% of the output voltage with load step changes of 200mA/100ns.

Key words: linear regulator; low-dropout regulator (LDO); fast-transient response; power management ICs

1 引言

近年来, 由于具有低噪声、高精度的优点, 低漏失稳压器 (Low-Dropout Regulator, LDO) 被广泛应用于电池供电的便携式电子设备上, 尤其用在对噪声敏感的系统上. 例如在手机的电路系统中, 从射频和基带电路到音视频处理电路均由不同种类的 LDO 提供高性能的直流电源. 因为集成式 CMOS LDO 具有面积小、工艺兼容性好的优点, 在片上系统 (SOC) 的设计上, 它们被用于系统的子块电源来解决串扰的问题^[1]. 随着复杂电子系统的快速增长, 高性能 CMOS LDO 的设计成为必然需要.

在 CMOS LDO 的设计上, 由于传输 MOS 管栅极存在较大的寄生电容, 会形成一个较低频率的极点, 从而增加了环路补偿的难度, 同时也会降低环路单位增益带宽和栅极驱动信号的压摆率 (Slew-Rate, SR), 进而降低了

输出电压的瞬态响应速度. 为了消除传输 MOS 管栅极寄生电容的影响, 通常的做法是在增益级和传输 MOS 管栅极之间增加一个缓冲级 (Buffer), 这样就减小了驱动级的输出阻抗, 从而将传输 MOS 管栅极的寄生极点推到了较高的频率, 同时也增大了驱动信号的压摆率, 但是该做法往往是以增大静态电流为代价^[2,3]. 此外, 由于负载电流变化所引起的稳定性问题, 增加了 LDO 设计的难度^[4~6].

本文设计了一种具有快速瞬态响应的 PMOS 传输管 LDO. 首先, 利用作者在文献[6]中提出的一种自适应 Miller 补偿 (Adaptive Miller Compensation, AMC) 的设计思想, 实现了全负载范围内的稳定工作. 在此基础上, 提出了一种瞬态响应加速 (Transient Response Enhancement, TRE) 电路, 利用输出电压下冲和过冲检测电路, 产生动态的偏置电流来增加误差放大器和缓冲级的响应速度,

收稿日期: 2008-05-27; 修回日期: 2008-09-20

基金项目: 国家部委重点预研资助 (No. D1120060967, Y30306270105); 国家自然科学基金 (No. 60876023); 教育部超高速电路与电磁兼容重点实验室专项资助 (No. YZCB2008008)

从而极大地提高了 LDO 的瞬态响应速度,而且瞬态响应速度的提高并不增加静态电流. 本文在第二节给出了系统的稳定性分析;第三节给出了 LDO 的瞬态响应分析;第四节给出了具体的电路实现,并重点分析了 TRE 电路的工作原理;第五节讨论了测试结果,最后给出了结论.

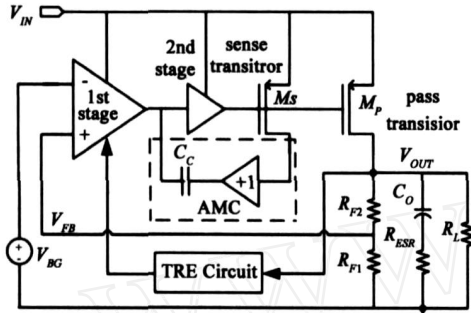


图1 具有快速瞬态响应和自适应Miller补偿的LDO系统结构

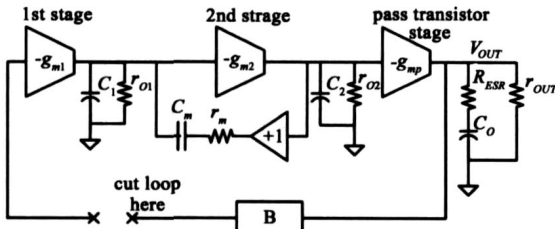


图2 提出的LDO环路的小信号流图

2 环路稳定性分析

本文所设计的 LDO 的系统结构如图 1 所示,它主要包括:差分输入级、AMC 级、TRE 电路、PMOS 传输管、反馈电阻等. 图 2 给出了图 1 所示的 LDO 环路的小信号流图. TRE 电路只响应 V_{OUT} 大的跳变,对于小信号来说它相当于是断开的. g_{m1} 、 g_{m2} 、 g_{mp} 分别表示第一级、第二级及传输管的跨导, r_{o1} 、 r_{o2} 分别表示第一级和第二级的输出阻抗, C_1 、 C_2 为第一级和第二级输出节点的寄生电容, C_2 主要由传输管的栅极寄生电容构成. B 为反馈系数,等于 $R_{F1}/(R_{F1} + R_{F2})$. C_m 为 Miller 补偿电容, r_m 为缓冲器的输出阻抗,它是负载电流的函数,与 C_m 形成一个动态零点来补偿环路,第四节将具体分析它的工作原理.

Miller 补偿跨接在第二级上,由于 Miller 效应的作用,第一级的输出极点由原来 $1/(r_{o1} C_1)$ 的变为 $1/(r_{o1} C_1 - g_{m2} r_{o2} C_m)$,一般来讲 $C_1 \ll g_{m2} r_{o2} C_m$,所以第一级的输出极点近似为 $1/(g_{m2} r_{o1} r_{o2} C_m)$;第二级的输出极点由原来的 $1/(C_2 r_{o2})$ 变为 $1/(C_2 r_{o2} \parallel \frac{1}{g_{m2}})$,一般来讲 $r_{o2} \gg \frac{1}{g_{m2}}$,所以第二级的输出极点近似为 g_{m2}/C_2 ,只要合理设计第二级的跨导和输出阻抗,就可使第二级的输出极点位于单位增益带宽之外,不会影响系统的稳定性.

PMOS 传输管输出级的极点为 $1/(r_{OUT} C_L)$,其中, $r_{OUT} = (r_p \parallel (R_{F1} + R_{F2}) \parallel R_L)$, r_p 为 PMOS 传输管的漏极输出阻抗. Buffer 电路将补偿电容 C_m 形成的前馈通路隔离,消除了 Miller 补偿引起的右半平面零点, C_m 与 r_m 形成的零点为 $1/(r_m C_m)$. 根据以上分析,系统的开环传递函数可以表示为:

$$H(S) = \frac{g_{m1} r_{o1} g_{m2} r_{o2} g_{mp} r_{OUT} B (1 + s r_m C_m) (1 + s R_{ESR} C_m)}{(1 + s g_{m2} r_{o1} r_{o2} C_m) (1 + s C_2 / g_{m2}) (1 + s r_{OUT} C_L)} \quad (1)$$

其中, $P_1 = 1/(r_{OUT} C_L)$, $P_2 = 1/(g_{m2} r_{o1} r_{o2} C_m)$, $P_3 = g_{m2}/C_2$, $Z_1 = 1/(r_m C_m)$, $Z_2 = 1/(R_{ESR} C_m)$. P_1 是与负载有关的极点, P_2 是第一级的输出极点. Miller 效应将 P_3 推到了单位增益带宽之外,输出电容的 ESR 零点补偿也不需要,因此环路在单位增益之前只包含了两个极点和一个零点. 图 3 给出了系统在大负载和轻负载下的开环增益幅频特性.

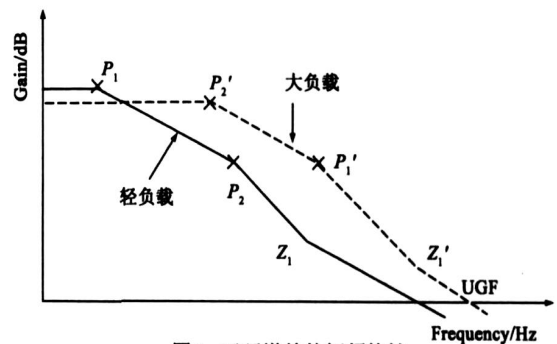


图3 开环增益的幅频特性

在负载电流较大时, P_2 是主极点,随之负载电流的减小,输出极点 P_1 向原点移动成为主极点,同时补偿的零点 Z_1 也跟随负载向原点移动,这样就可以保证环路在不同负载下的稳定性,拓宽了系统的负载范围,同时提高了轻负载下系统的带宽,有利于提高环路的瞬态响应速度.

3 系统瞬态响应分析

LDO 对全范围负载电流阶跃响应的最大电压变化和响应时间对于模拟应用来说是非常重要的. 图 4 给出了负载电流阶跃变化时 LDO 的典型瞬态响应波形. 瞬态响应时间由两部分组成,环路响应时间 t_1 和 t_3 ,建立时间 t_2 和 t_4 . 通常误差放大器到传输管之间是 Class "A" 型输出级,它的压摆率电流限制是单方向的,所以造成了图 4 所示的瞬态响应不对称的结果,通常压摆率电流限制是在负载电流由空载到满载的阶跃响应的方向上,即对 t_1 的限制.

t_1 表示为:

$$t_1 = \frac{1}{BW_{cl}} + t_{sr} = \frac{1}{BW_{cl}} + C_p \frac{V}{I_{sr}} \quad (2)$$

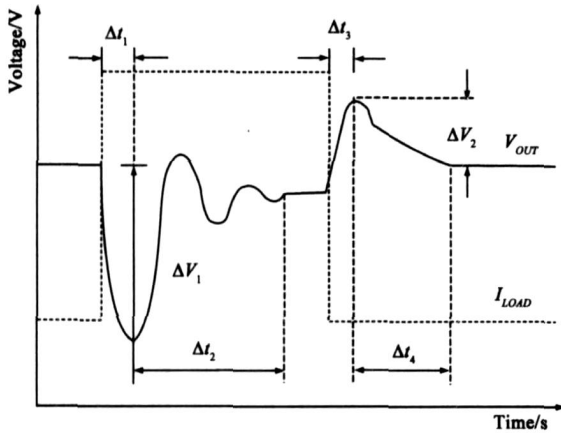


图4 负载电流阶跃变化时LDO的典型瞬态响应波形

其中, BW_{cl} 是系统的闭环带宽, C_p 是传输管栅极的寄生电容, t_{sr} 和 I_{sr} 分别是传输管栅极驱动信号的压摆率时间和压摆率限制电流, V 是传输管栅极电压变化量. 与 t_1 类似, t_3 同样反比于系统的闭环带宽, 但它不受压摆率电流的限制. 为了减小 t_1 和 t_3 , 需要增加系统的环路带宽和驱动信号的压摆率电流. 建立时间 t_2 由开环频率响应的相位裕度决定, t_4 由反馈电阻的电流决定. 输出电压的下冲和过冲电压 V_1 和 V_2 分别与 t_1

和 t_3 成正比, 表示为:

$$\begin{cases} V_1 = \frac{I_{Load(max)} \cdot t_1}{C_O} = \frac{I_{Load(max)}}{C_O} \left(\frac{1}{BW_{cl}} + C_p \frac{V}{I_{sr}} \right) \\ V_2 = \frac{I_{Load(max)} \cdot t_3}{C_O} = \frac{I_{Load(max)}}{C_O} \frac{1}{BW_{cl}} \end{cases} \quad (3)$$

其中 C_O 为 LDO 的输出电容. 式(3)表明: 要减小输出电压的下冲和过冲电压, 就需要提高系统的闭环带宽和压摆率限制电流, 而这一做法往往以增加静态电流为代价.

本文提出的 TRE 电路独立于系统的反馈环路, 它是通过检测输出电压的动态跳变来产生一个瞬态的响应电流, 该电流被加入到误差放大器和传输管栅极驱动级上, 有效地提高了环路的瞬态响应速度. 因为增加的电流只发生在输出瞬态响应的情况下, 一旦输出恢复正常, 该电流立即消失, 所以并没有增加系统的静态电流, 既实现了快速瞬态响应的特性, 又满足了高的电流效率的要求.

4 电路实现

图 5 给出了本文设计的 LDO 完整电路, 其中 $M2 \sim M11$ 构成典型的运算跨导放大器(OTA) 输入级. 考虑到

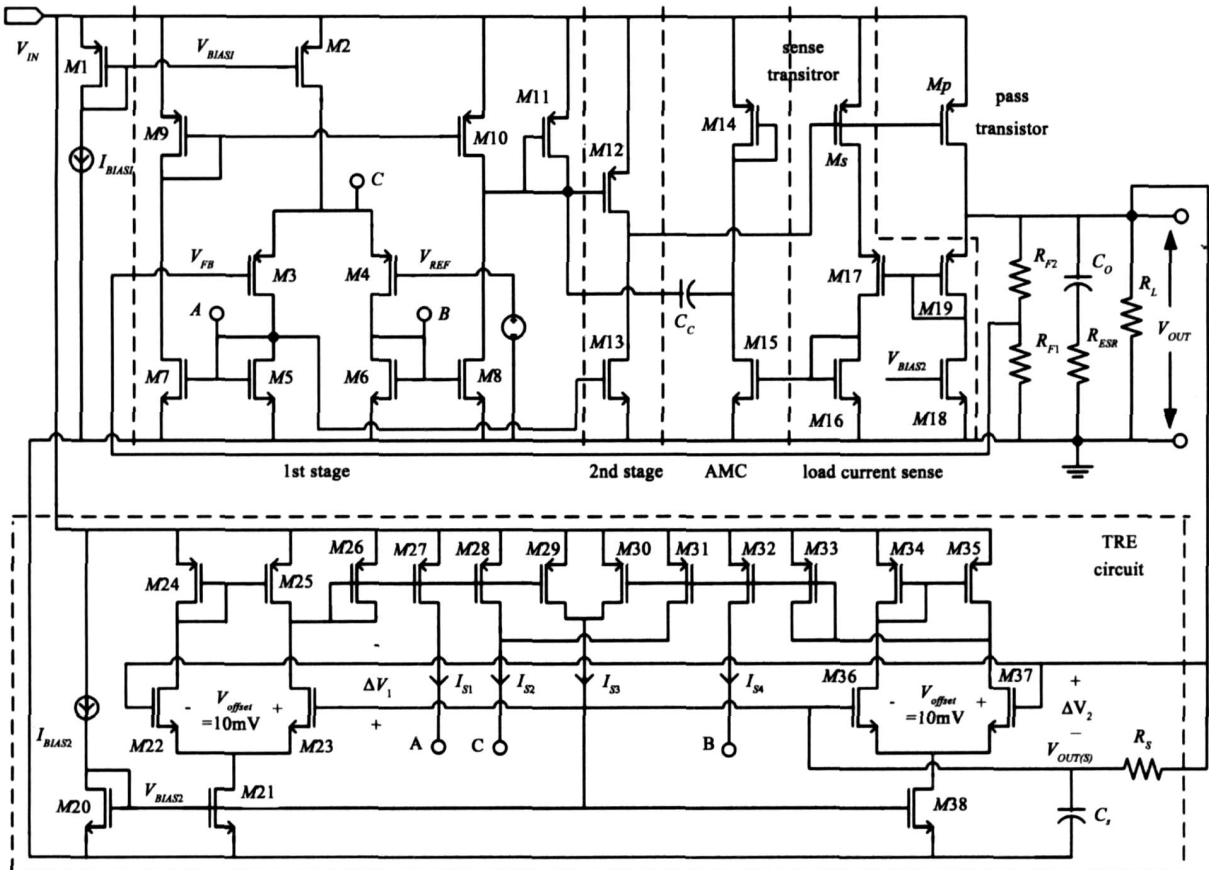


图5 本文提出的LDO完整电路

环路后两级的放大作用,过高的环路增益反而会增加环路稳定性补偿的难度,为此,在第一级的输出增加了一个二极管连接的 PMOS 管 M_{11} ,来降低第一级的增益。 M_{12} 和 M_{13} 组成共源放大级,为环路提供增益。 M_p 为 PMOS 传输管,构成共源放大级。 $M_{16} \sim M_{19}$ 及 M_s 构成负载电流采样电路, M_s 为采样管,为了避免因沟道长度调制效应造成采样比例失调, $M_{17} \sim M_{19}$ 构成跟随器,来保证 M_s 的漏极近似等于 V_{OUT} 。 $M_{14} \sim M_{15}$ 以及 C_m 组成 AMC 电路,采样管到 C_m 的电压增益可以表示为:

$$A_V(\text{sense}) = \frac{g_{m15} g_{m14}}{g_{m16} g_{m14}} \cdot 1 \quad (4)$$

缓冲器的输出阻抗表示为:

$$r_m = \frac{1}{g_{m14}} = \frac{1}{\sqrt{2} \mu_p C_{OX} \left(\frac{W}{L}\right)_{M14} k I_{Load}} \quad (5)$$

其中 k 是负载电流的采样比例,它等于 $\frac{(W/L)_{M_s}}{(W/L)_{M_p}}$, r_m 反比于 $\sqrt{I_{Load}}$,而传输管的输出阻抗与 I_{Load} 成反比,这样以来输出极点 P_1 与补偿零点 Z_1 随着负载同方向移动,对相位起到了很好的补偿作用.实际电路中设计的采样比例为 1/2000,当负载电流从 100 μ A 变化到 200mA 时, r_m 从 6M 变化到了 40k,变化了约 150 倍,它有效地补偿了负载的变化.动态零点补偿不但提高了系统全负载范围内的稳定性,而且有利于减小系统带宽随负载的变化,提高环路的瞬态响应速度.

$M_{20} \sim M_{38}$ 构成 TRE 电路,下面将详细分析它的工作原理.按照第三节的描述,首先需要有一个检测输出电压跳变的电路,在设计中巧妙地利用了 RC 滤波电路来实现这个功能,电路中由 R_S 和 C_S 构成.其工作原理如图 6 所示.

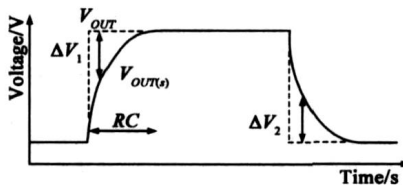


图6 输出电压跳变采样波形

当 V_{OUT} 电压发生阶跃跳变时, $V_{OUT(s)}$ 会因为 RC 滤波电路的作用,而缓慢跟随 V_{OUT} 的变化,在转换过程中, V_{OUT} 与 $V_{OUT(s)}$ 之间会产生一个动态的电压差 V_1 和 V_2 .实际电路中: V_1 表示负载电流由小到大跳变时产生的动态压差, V_2 表示负载电流由大到小跳变时产生的动态压差。 $M_{21} \sim M_{29}$ 和 $M_{30} \sim M_{38}$ 分别组成两个跨导放大器对 V_1 和 V_2 进行放大,产生了四个动态的电流 I_{S1} 、 I_{S2} 、 I_{S3} 、 I_{S4} ,它们可以表示为:

$$\begin{cases} I_{S1} = V_1 \frac{g_{m23} g_{m27}}{g_{m26}}, \text{负载由小变大} \\ I_{S2} = \begin{cases} V_1 \frac{g_{m23} g_{m28}}{g_{m26}}, \text{负载由小变大} \\ V_2 \frac{g_{m37} g_{m31}}{g_{m33}}, \text{负载由大变小} \end{cases} \\ I_{S3} = \begin{cases} V_1 \frac{g_{m23} g_{m29}}{g_{m26}}, \text{负载由小变大} \\ V_2 \frac{g_{m37} g_{m30}}{g_{m33}}, \text{负载由大变小} \end{cases} \\ I_{S4} = V_2 \frac{g_{m37} g_{m32}}{g_{m33}}, \text{负载由大变小} \end{cases} \quad (6)$$

其中:(1) I_{S1} 加在 M_5 、 M_7 和 M_{13} 的栅极,在负载电流由小变大时,它快速拉高 M_{12} 的栅极电位,关断 M_{12} ,并直接增加 M_{13} 的下拉电流,传输管栅极电位被迅速拉低,增大输出电流;(2) I_{S4} 加在 M_6 和 M_8 的栅极,在负载电流由大变小时,它快速拉低 M_{12} 的栅极, M_{12} 的输出电流迅速增加,传输管栅极电位被迅速拉高,减小输出电流;(3) I_{S2} 用于增加误差放大器的尾电流,在负载由小变大或由大变小时,它能提高误差放大器的响应速度;(4) I_{S3} 用于增加 TRE 电路跨导放大器的尾电流,在负载由小变大或由大变小时,它能提高 TRE 电路自身的响应速度.

在 TRE 电路的设计上需要注意以下几点:

(1) 希望 V_1 和 V_2 只出现在 LDO 瞬态响应过程中,而 V_1 和 V_2 持续时间由 $R_S C_S$ 时常数决定, $R_S C_S$ 时常数太小起不到加速瞬态响应的作用,太大则会增加电流消耗并影响瞬态响应的建立时间.在实际设计的 LDO 电路中设置 $R_S C_S$ 时常数为 5 μ s.

(2) 不希望 TRE 电路在输出电压处于稳定的情况下起作用.为此,对两对跨导放大器的输入分别引入了一个固定的 10mV 失调电压,通过设计差分对 MOS 器件的并联个数不相等即可实现.这样以来在 V_{OUT} 和 $V_{OUT(s)}$ 之间 ± 10 mV 的压差范围内, TRE 电路不起作用,避免了 TRE 电路对环路稳定性和静态电流的影响,提高了它的可靠性.

(3) 跨导放大器设计.跨导放大器的跨导如果太大,就会产生过大的动态电流,有可能造成环路瞬态响应的振荡,增加建立时间;如果太小就不能起到加速瞬态响应的作用.以左边的跨导放大器为例,从式(6)得到, I_{S1}

支路的跨导等于 $\frac{g_{m23} g_{m27}}{g_{m26}} = k_1 g_{m23}$, 其中 $k_1 = \left(\frac{W}{L}\right)_{M27} / \left(\frac{W}{L}\right)_{M26}$,

$$g_{m23} = \sqrt{2} \mu_p C_{OX} \left(\frac{W}{L}\right)_{M23} k I_D. \text{ 在实际设计的 LDO 电路中 } g_{m23} \approx 40\mu\text{S}, k_1 = 3, \text{ 所以跨导放大器的跨导约等于 } 120\mu\text{S},$$

假设 $V_1 = 40\text{mV}$, 则 $I_{s1} = 4.8\mu\text{A}$, 而 $\left(\frac{W}{L}\right)_{M13} = 10$, 所以

$M13$ 的动态电流增大了约 $48\mu\text{A}$. 另外, $M5$ 到 $M10$ 也有 2.5 倍的电流放大, 所以 $M10$ 的电流也增大了约 $10\mu\text{A}$. 因此, 当负载电流由小跳大时, 传输管栅极电压的响应速度被明显提高. 当负载电流由大跳小时 TRE 电路的工作过程与此类似.

5 试验结果及讨论

本文设计的 LDO 电路采用 $0.5\mu\text{m}$ 标准 CMOS 工艺进行了投片验证.

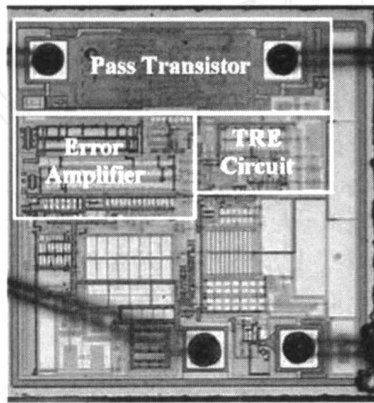


图7 本文研制的LDO芯片的显微照片

图 7 给出了芯片的显微照片, 其中白线框标示了传输管、误差放大器及 TRE 电路在版图上的位置, 芯片的整个面积为 0.49mm^2 , TRE 电路的版图面积为 0.018mm^2 . 设计的 LDO 输入电压范围为: $2.2\text{V} \sim$

5.5V , 适合于锂电池供电的便携式应用. 可以通过内部 Trimming 电路设置不同的输出电压值, 输出电压最低 1.2V , 最高比输入电压低 0.2V . 可以提供最大 200mA 的负载电流输出, 漏失电压为 0.2V . 线性调整率和负载调整率均小于 $\pm 0.1\%$.

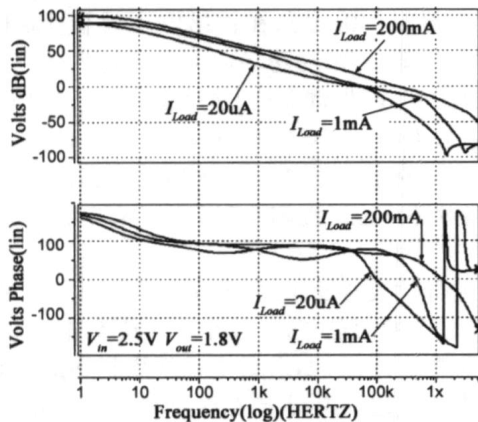


图8 不同负载下系统开环Bode图仿真结果

图 8 给出了不同负载下系统开环 Bode 图 Hspice 仿真结果, 从结果可以看出, 负载从 $10\mu\text{A}$ 到 200mA 的范围内变化, 相位裕度均大于 60° , 环路是稳定的. 图 9 给出了具有和不具有 TRE 电路的负载瞬态响应 Hspice 仿真结果, 200mA 的负载阶跃变化时, 前者输出电压的

下冲量和过冲量分别为 51mV 和 55mV , 而后者则分别为 253mV 和 169mV .

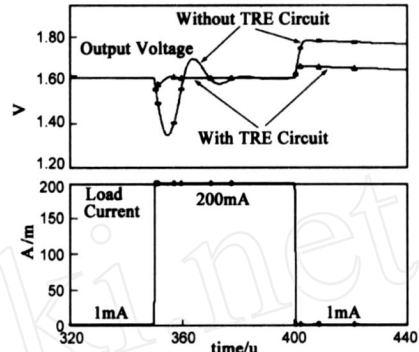


图9 具有和不具有TRE电路的瞬态响应仿真对比 ($C_o=1\mu\text{F}, V_{OUT}=1.6\text{V}$)

图 10 给出了在不同负载下静态电流的测试结果, 空载时静态电流只有 $23\mu\text{A}$, 200mA 负载下的静态电流为 $180\mu\text{A}$, 静态电流随负载的增大基本呈

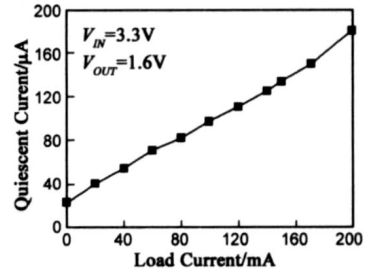


图 10 不同负载下静态电流的测试结果 线性增加的趋势, 这主要是采样电流随负载电流线性增加造成的. LDO 的

电流效率表示为: $\text{current} = \frac{I_{Load}}{I_{Load} + I_Q} \times 100\%$, 其中 I_{Load} 为负载电流, I_Q 为静态电流, 实际上大负载下的电流效率已经均大于 99.9% , 对于电池供电的便携应用来说, 大部分时间工作于轻载或空载的情况, 因此空载时的静态电流成为决定电池使用寿命的关键因素.

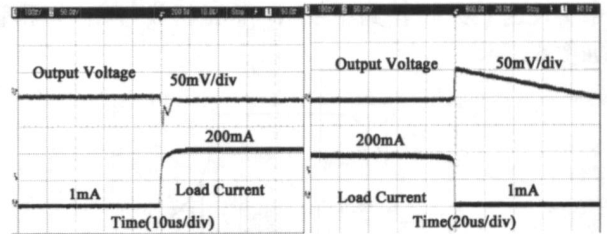


图11 负载瞬态测试波形($C_o=1\mu\text{F}, V_{OUT}=1.6\text{V}$)

图 11 给出了 LDO 在 100ns 内负载从 1mA 到 200mA 和从 200mA 到 1mA 阶跃时的瞬态响应测试波形, 其中输出电容采用了 $1\mu\text{F}$ 陶瓷电容. 从结果可以看出, 输出电压的下冲和过冲电压约为 55mV (小于输出电压的 3.5%). 按照参考文献 [7] 的定义方法, 瞬态响应时间 T_R 表示为:

$$T_R = \frac{C_o \cdot V_{OUT}}{I_{Load}(\text{max})} = \frac{1\mu\text{F} \times 55\text{mV}}{200\text{mA}} = 0.275\mu\text{s} \quad (7)$$

表 1 给出了在 LDO 瞬态响应方面本文工作和已发表研究的比较. 文献 [7] 的研究虽然实现了极高的瞬态

响应速度,但是其空载时的静态电流却非常大.与文献[5,8,9]的研究相比,本文设计的LDO在更小的静态电流条件下实现了更快的瞬态响应速度.

表 1 与前人研究工作的比较

	文献[5]	文献[7]	文献[8]	文献[9]	本文
工艺(μm)	0.5	0.09	0.35	0.35	0.5
V_{IN} (V)	3.3	1.2	2.7 - 5.5	1.2	2.2 - 5.5
V_{OUT} (V)	2.8	0.9	2.5	1	1.6
漏失电压(V)	-	0.3	0.2	0.2	0.2
$I_{Load(max)}$ (mA)	160	100	138	100	200
I_O (μA) @ 空载	25	6000	24	100	23
I_O (μA) @ 满载	-	6000	700	100	180
C_O (μF)	2.2	0.0006	1	-	1
V_{OUT} (mV)	200	90	-	-	53
T_R (μs)	2.75	0.00054	2	2.8	0.275

6 结论

本文设计了一种具有快速瞬态响应能力的 PMOS 传输管 LDO. 首先利用动态 Miller 补偿实现了环路在全负载范围内的稳定,且不需要输出电容 ESR 零点补偿. 在此基础上,提出了一种瞬态响应加速电路,利用输出电压下冲和过冲检测电路,产生动态的偏置电流来加速误差放大器和传输管栅极的瞬态响应,从而在更小的静态电流条件下实现了更快的瞬态响应速度. 提出的瞬态响应加速电路的设计思想对于其它线性稳压器和模拟电路的设计同样具有借鉴意义.

参考文献:

- [1] D D Buss. Technology in the internet age [A]. IEEE International Solid-State Circuits Conference on Digest of Technical Papers [C]. San Francisco, CA, Feb. 2002. 18 - 21.
- [2] G A Rincon-Mora, P E Allen. A low-voltage, low quiescent current, low drop-out regulator [J]. IEEE Solid-State Circuits, 1998, 33(1): 36 - 44.
- [3] S K Lau, K N Leung, P K T Mok. Analysis of low-dropout regulator topologies for low-voltage regulation [A]. IEEE Conference on Electron Devices and Solid-State Circuits [C]. Hong Kong, Dec. 2003. 379 - 382.
- [4] Ka Chun Kwok, Mok, P K T. Pole-zero tracking frequency compensation for low dropout regulator [A]. IEEE International Symposium on Circuits and Systems [C]. USA, May 2002. 735 - 738.

- [5] Chaitanya K Chava, Jose Silva-Martinez. A frequency compensation scheme for LDO voltage regulators [J]. IEEE Transactions on Circuit and Systems-I: Regular Papers, 2004, 51(6): 1041 - 1050.
- [6] Xinquan Lai, Jianping Guo, Zuozhi Sun, Jianzhang Xie. A 3-A CMOS low-dropout regulator with adaptive Miller compensation [J]. Analog Integrated Circuits and Signal Processing, 2006, 49(1): 5 - 10.
- [7] P Hazucha, T Karmik, B A Bloechel, C Parsons. Area-efficient linear regulator with ultra-fast load regulation [J]. IEEE Solid-State Circuits, 2005, 40(4): 933 - 940.
- [8] Chung-wei Lin, Yen-jen Liu. A power efficient and fast transient response low drop-out regulator in standard CMOS process [A]. IEEE International Symposium on VLSI Design, Automation and Test (VLSI-DAT) [C]. Taiwan, Apr. 2006. 1 - 4.
- [9] S K Lau, P K T Mok, K N Leung. A low-dropout regulator for SOC with Q-reduction [J]. IEEE Solid-State Circuits, 2007, 42(4): 658 - 664.

作者简介:



李演明 男, 1979 年出生于甘肃靖远. 2005 获西安电子科技大学电路与系统专业硕士学位, 现于西安电子科技大学攻读微电子学与固体电子学专业博士学位. 自 2002 年以来一直致力于模拟和混合信号集成电路的研究与设计工作, 目前研究兴趣集中在高速、高性能 DC-DC 转换器和 LDO 线性稳压器方面.
E-mail: ymli2004 @126. com



来新泉 男, 1963 年出生于陕西富平, 西安电子科技大学教授, 国家重点学科“电路与系统”博士研究生导师, 电路 CAD 研究所所长. 长期从事模拟和数字集成电路设计、电子设计自动化技术、EDA 软件开发和教学工作. 先后负责设计成功模拟和数模混合 ASIC 二十多种, 获中国国家集成电路设计专利和版图登记证书一项, 国家发明专利 3 项. 主持或参与完成省部级科研项目十多项, 获省部级科研、教学奖五项, 出版专著(译著等)四部, 在国内外核心期刊上发表论文 40 多篇. E-mail: xqlai @mail. xidian. edu. cn